

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-74782

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/64				
G 0 6 F 13/00	3 5 5	7368-5B		
H 0 4 L 12/28				
		8732-5K	H 0 4 L 11/ 20	A
		8732-5K		D
審査請求 未請求 請求項の数6 F D (全 24 頁) 最終頁に続く				

(21)出願番号 特願平5-283864

(22)出願日 平成5年(1993)10月19日

(31)優先権主張番号 0 5 8 1 5 7

(32)優先日 1993年5月5日

(33)優先権主張国 米国 (U S)

(71)出願人 583204247

シナプティクス・コミュニケーションズ・
インコーポレーテッドアメリカ合衆国 95052 カリフォルニア
州・サンタ クララ・グレイト アメリカ
パークウェイ・4401

(72)発明者 ケン・マーシャル

アメリカ合衆国 94539 カリフォルニア
州・フレモント・コーラ ストリート・
47426

(74)代理人 弁理士 山川 政樹

最終頁に続く

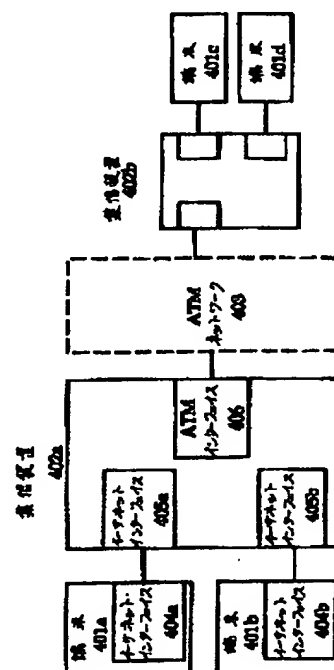
(54)【発明の名称】 コンピュータ・ネットワーク

(57)【要約】

【目的】 本発明の目的は改良されたネットワーク通信システムを提供することにある。

【構成】 本発明のネットワーク通信システムは、イーサネット・インタフェースを有する端末、通信媒体及び集信装置に内蔵されたイーサネット・インタフェースよりなる第1のネットワークと、集信装置に内蔵されたATMインタフェース、通信媒体及びその他のATMネットワークの構成要素よりなる第2のネットワークとで構成される。

【効果】 本発明によれば、イーサネット・インタフェースを有する装置と非同期転送モード (ATM) ネットワークに作用的に結合されたもう一つの装置との間で効率的かつ効果的に通信することができる。



1

【特許請求の範囲】

【請求項1】 非ATM通信媒体からATM通信媒体へ情報を送信する装置において、

(a) 上記非ATM通信媒体から非ATM情報パケットを受信する、上記非ATM通信媒体に結合された非ATM通信インタフェースと、

(b) 上記非ATM通信インタフェースに結合され、上記非ATM通信インタフェースが上記非ATM通信情報パケットを受信してから上記非ATM通信情報パケットを分割する、非ATM通信情報パケットを少なくとも一つのATMセルに分割するセグメンテーション手段と、

(c) 上記ATM通信媒体及び上記セグメンテーション手段に結合され、前記ATM通信媒体を介して、上記セグメンテーション手段にตอบสนองして上記ATMセルを送信するATMインタフェースと、
からなる装置。

【請求項2】 非ATM通信媒体からATM通信媒体へ情報を送信する装置において、

(a) 上記ATM通信媒体に結合され、上記ATM通信媒体から少なくとも一つのATMセルを受信するATMインタフェースと、

(b) 上記ATMインタフェースから上記ATMセルを受信するよう結合され、上記ATMインタフェースが上記第1のATMセルを受信して上記ATMセルからの非ATM情報パケットの少なくとも一部をリアセンブルするリアセンブリ回路と、

(c) 上記非ATM通信媒体に結合され、上記非ATM通信媒体を介して上記非ATM情報を送信する非ATMインタフェースと、
からなる装置。

【請求項3】 (a) ATM交換機とそのATM交換機に結合された装置との間においてATMセルを交換するATMネットワークと、

(b) 非ATMメッセージの通信を行う非ATM通信媒体と、

(c) 上記ATMネットワークと上記非ATM通信媒体との間に結合され、上記非ATM通信媒体を介して受信した非ATMメッセージの分解を可能し、上記の分解された非ATMメッセージからのデータを上記ATMネットワークを介して送信させる集信装置と、
からなるコンピュータ・ネットワーク。

【請求項4】 装置間で通信を行うためのネットワークにおいて、ATMメッセージの交換を行うための少なくとも1つのATM交換機を含むATMネットワーク部と、上記ATM交換機と結合されて上記ATMメッセージの通信を行うATM通信媒体及び第1の装置と結合されて非ATMメッセージの通信を行う少なくとも1つ非ATM通信媒体と、上記非ATM通信媒体及び上記ATM通信媒体に結合された集信装置とを有し、その集信装置が、ATM通信媒体を介して受信された上記非ATM

2

メッセージを分解するとともに、上記ATM通信媒体を介して上記の分解された上記非ATMメッセージからのデータよりなるATMセルを送信し、さらに、上記ATM通信媒体を介して受信されたデータに基づいて非ATMメッセージをリアセンブリするとともに、リアセンブリされた非ATMメッセージを上記非ATM媒体を介して送信することを特徴とするネットワーク。

【請求項5】 装置間で通信を行うためのネットワークにおいて、

10 最大長さL1のデータ領域を有する第1のフォーマットの第1のメッセージの通信を行う第1のネットワーク部と、

上記第1のメッセージの通信を行う上記第1のネットワーク中に設けられた第1の通信媒体と、

上記L1より大きい最大長さL2のデータ領域を有する第2のフォーマットの第2のメッセージの通信を行う第2のネットワーク部と、

上記第2のメッセージの通信を行うための第2の通信媒体と、

20 上記第2の通信媒体及び上記第1の通信媒体に結合され、上記第2の通信媒体を介して受信された上記第2のメッセージ・フォーマットのメッセージM1を分解するとともに、少なくとも上記第1のメッセージ・フォーマットのメッセージM2及び上記第2のメッセージ・フォーマットのメッセージM3をアセンブリして、上記第1の通信媒体を介して送信する集信装置とを有し、上記メッセージM2が、そのデータ領域に上記メッセージM1からのデータの第1の部分とを有し、上記メッセージM3がそのデータ領域に上記メッセージM1からのデータの第2の部分とを有するネットワーク。

30 【請求項6】 装置間で通信を行うためのネットワークにおいて、

最大長さL1のデータ領域を有する第1のフォーマットの第1のメッセージの通信を行う第1のネットワーク部と、

上記第1のメッセージの通信を行う上記第1のネットワーク中に設けられた第1の通信媒体と、

上記L1より大きい最大長さL2のデータ領域を有する第2のフォーマットの第2のメッセージの通信を行う第2のネットワーク部と、

40 上記第2のメッセージの通信を行う第2の通信媒体と、
上記第2の通信媒体及び上記第1の通信媒体に結合されて、上記第1の通信媒体を介して上記第1のメッセージ・フォーマットのメッセージM2を受信し、上記第1の通信媒体を介して上記第1のメッセージ・フォーマットのメッセージM3を受信するとともに、上記メッセージM2からのデータ及び上記メッセージM3からのデータより上記第2のメッセージ・フォーマットのメッセージM1をアセンブリし、そのアセンブリしたメッセージM1を上記第2の通信媒体を介して送信する集信装置と、

からなるネットワーク。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータ・ネットワーク技術に関し、特に、非同期伝送モード(ATM)通信技術に関する。実施例においては、本発明は、ATM交換網を一般的なデスクトップ・コンピュータとの連結手段として交換式イーサネット(または他の共用媒体通信システム)と組み合わせることにより既設の配線及びアダプタ・カードのベースをそっくり元のまま用

いつつ、交換機間の相互接続のため及びネットワーク通信システムにおけるサーバへの接続のための高速インタフェースを得るために使用される。

【0002】関連技術の説明

非同期伝送モード(ATM)技術は、コンピュータ・ネットワーク等の装置間において通信サービスを行うための比較的新しい技法である。この技術では、回線交換の長所(例えば音声やビデオ用に)とパケット交換の長所(例えばコンピュータ通信用に)を利用する。ATM技術は、固定したサイズとフォーマットを有する当技術分野においてグループまたは「セル」と呼ばれるものを使用することに特徴がある。

【0003】通常、ATMネットワークは、相互接続された交換機のネットワークを用いて実施される。各交換機は、多数のポートをサポートし、各ポートには専用帯域幅が割り当てられる。これは、帯域幅がLANセグメントのすべてのユーザによって共用される既存の典型的な共用型ローカルエリア・ネットワーク(LAN)と対照的である。ATMネットワークの商業規模での実用化においては、ポート・インタフェース速度を155Mbps以上にする必要がある。LAN環境においては、このような高速度ネットワークは、例えば、サーバ、メインフレーム及び高性能デスクトップ・コンピュータのような高性能コンピュータを相互接続するために使用される。

【0004】ATMネットワークは、やがて、マルチメディア・サービス提供用のようなより汎用的なクラスのデスクトップ型マシンで使用されるものと考えられる。しかしながら、当面のところ、ATMインタフェースは余分の帯域幅とコストを要するため、汎用的なデスクトップ型マシン用としては妥当ではないと思われる。しかしながら、現行の共用媒体LANは、少なくとも、計算機環境におけるボトルネックになり始めている。汎用型デスクトップ・コンピュータの演算能力の不断の改良と、マルチメディアのような新しいアプリケーションの開発によって、共用媒体LANは、将来、ますますコンピュータ・ネットワークにおけるネックになるものと思われる。

【0005】このようなネックの問題を解決するために、下記のような多くの技術が提案されている。

(1) 共用媒体LANを分割する —この方法は、ネットワークのLANセグメントの数を多くして、セグメント当たりのユーザ数を少なくすることが必要である。セグメントは、ブリッジ法または経路指定法を用いて相互接続される。もちろん、この方法を用いても、より少ないユーザ間ではあるが、帯域幅はやはり共用される。

(2) 共用媒体LANを分割する(極端な場合) —もちろん、この分割法を極端化して、1装置当たり1セグメントにすることも可能である。この場合、各ポートは事実上ブリッジされる。もちろん、この方法では、事実上装置に対して専用帯域幅が割り当てられるが、同時に、コスト及びネットワーク・サイズの点で欠点がある(すべてのインタフェースが同じ速度であるため、ネットワークサイズは制限される)。

(3) より低速のATMインタフェースを有するATM交換機を構築する —これは技術的には魅力的な方法である。しかしながら、この方法は、既設の共用媒体LAN配線及びアダプタのベースを相当大幅に交換する必要があるという点において、重大な展開上の問題が生じ

る。

【0006】従って、より広い、好ましくは専用の帯域幅使用することが可能なネットワークを、最小のコストで、大きいネットワーク・サイズの最大サポートを確保しつつ、しかも既設の装置の置換を最小に抑えることができるようにして開発することが要望されている。

【0007】以上の説明に関連して、ここで、(1) ATMネットワーク、(2) イーサネット網及び(3) 用語に関する背景情報を簡単に説明しておくことが、本発明を理解する上において役に立つと思われる。

【0008】ATMネットワーク

ATM(非同期伝送モード)技術は、通信サービスを提供するための新しい技術である。ATMネットワークに関しては、下記のような様々な文献に記載がある: Handel, R. 及びHuber, M. N. 共著「統合広帯域ネットワーク、ATMネットワーク入門(Integrated Broadband Networks, an Introduction to ATM-based Network)、Addison-Wesley Publishing company発行、1991年(以下、単にHandel他とする)、de Prycher M. 著「非同期伝送モード、広帯域ISDNの問題解決(Asynchronous Transfer Mode, Solution for Broadband ISDN)、Ellis Horwood Limited(英国ウエストサセックス)発行、1991年(以下、de Prycherとする)。

【0009】上に述べたように、ATMは、155Mbps以上のインタフェース速度に対応するために、回線交換(音声及びビデオ用の)の長所とパケット交換(コ

5

ンピュータ通信の)の長所を組み合わせる。現在、主として、サーバやメインフレームのような高性能コンピュータは、このようなインタフェース速度を必要とする。

【0010】図1は、1つのATM交換機と複数の端末を有するATMネットワークの簡単な例を示す。一般に、ATMネットワークは、相互接続された複数の交換機を含むという特徴がある。各々の交換機には、端末やその他の交換機を含めて複数の装置が接続されている場合もある。図示例においては、端末103a、103b、103c及び103dはそれぞれATM交換機102と結合されている。各端末は、ATMネットワーク・インタフェース・ハードウェア(104a、104b、104c及び104d)のようなATMネットワーク・インタフェースを含む。好ましいシステムにおいては、接続マネージャ101が、必ずATMネットワーク・パラメータに従って通信経路が割り当てられるように機能する。

【0011】上に述べたように、ATMネットワークは一般に相互接続された交換機を用いて実施され、それらの各交換機は多重ポートをサポートする。共用媒体LANとは対照的に、これらの交換機では、各ポートで専用の帯域幅が得られる。

【0012】上に述べたように、このようなネットワークについては、de Prycher及びHandel他にさらに詳しく説明されている。従って、これ以上の詳しい説明は省略するので、詳細については、これらの文献を参照すること。

【0013】イーサネット及び他の共用媒体ネットワーク

中及至低性能のコンピュータの場合は比較的低い性能の共用媒体LANで十分である。このような共用媒体LAN(特に、イーサネット、トークン・リング、及びFDDI)については、A. Meijer及びP. Peters共著「コンピュータ・ネットワーク・アーキテクチャ(Computer Network Architecture)」、Computer Science Press発行、1982年(以下、Meijer他とする)に記載されている。本発明は、イーサネットを利用した実施例について詳細に説明する。ただし、本発明の様々な態様は、イーサネット以外の共用媒体通信システムにも同様に適用することが可能である。また、イーサネットは、搬送波検知型共用通信媒体ネットワーク・システムの一般的な例ではあるが、その一例でしかないということも明確に記載しておく。ネットワークの一例としてイーサネットを使用することは、他の搬送波検知型共用通信媒体ネットワーク・システムを除外することを意味するものではない。

【0014】現在の大方の共用媒体LANは、ATMネットワークで得られるよりも実効帯域幅が相当狭い。共

6

用媒体LANは、LAN上で帯域幅を共用し、各ノードは事実上LANの帯域幅の本の一部しか割り当てられない。例えば、典型的なイーサネット網は、ネットワークのセグメントに取り付けられるすべてのノードの間で最大10Mbps帯域幅を共用する。

【0015】用語の定義

イーサネット及びその他の共用媒体ネットワークとATMとの通信をより理解し易くするために、本特許出願で使用する用語の定義についてここで簡単に説明する。

- 1) 端末 — 一般に、ネットワーク接続を終端する装置を言う。これらの端末は、コンピュータ、プリンタ、ヌル・デバイス、他の装置と通信するこれら以外のほとんどどのような装置であってもよい。
- 2) ポート — 一般に、ネットワークへの論理的及び/または物理的アクセスポイントをいう。
- 3) コネクタ — 一般に、複数のポートを介して情報を受け取り、その情報をそれらの1つまたは2つ以上のポートに送り出すための通信装置を言う。集信装置は、当技術分野において周知である。本発明は、イーサネット・ポートを介して情報を受信し、その情報をATMネットワークに結合された出力ポートへ送出するための特殊な集信装置を開示するものである。集信装置は、イーサネット・パケットをATMネットワークへ送信する前にATMセルに分割する。逆に、本発明の装置は、ATMポートを介して情報を受信し、その情報をイーサネット・ポートを介して出力することができる。また、集信装置は、受信したATMセルからイーサネット・パケットをリアセンブリした後その情報をイーサネット・ポートに出力する。また、本発明は、様々なイーサネット・ポート間の通信を可能にするために使用することができるということも理解できよう。

【0016】

【発明が解決しようとする課題】従って、本発明の目的は、改良されたネットワーク通信システムを提供することにある。さらに、本発明の目的は、配線やアダプタ・カードのような既設のネットワーク構成要素の置換が最小限で済む上記のような改良されたネットワーク通信システムを提供することにある。本発明のもう一つの目的は、既設の配線及びアダプタ・カードのベースの使用可能性(あるいは他の何らかの形で他の装置の比較的低コスト、低速度のネットワークを用いる可能性)を確保しつつ、交換機間の相互接続及びファイル・サーバや他の共用装置への接続用の比較的高速のインタフェースが得られる上記のような改良されたネットワーク通信システムを提供することにある。上記及び本発明の他の目的は、後述の実施例の詳細な説明及び添付図面を参照することによりさらによく理解できよう。

【0017】

【課題を解決するための手段】本発明は、ATMネットワークに結合された特殊な集信装置を用いた改良された

ローカル/遠隔ネットワーク通信の方法及び装置を提供するものである。本発明は、イーサネット媒体からATM媒体への通信の改良にある。本発明の実施例は、イーサネット媒体からパケットを受信するためのイーサネット・インタフェース、パケットをATMセルに分割するためのセグメンテーション手段、及びそれらのセルをATMネットワークへ送信するためのATMインタフェースを有する。各パケットのデスティネーション・アドレスを用いてATMセルの仮想チャンネル識別子(Virtual Channel Identifier (VCI))が検索される。ルックアップ・テーブル中に対応するVCIが存在しない場合は、プロセッサはATM接続マネージャにVCIを供給するよう要求する。

【0018】また、本発明は、ATM媒体からイーサネット媒体への通信を改良するものである。本発明の実施例は、ATMセルを受診するためのATMインタフェースを含む。リアセンブリ手段は、各セルが対応するパケットを識別する。その識別情報が新しいパケットのためのものであれば、リアセンブリ手段は、メモリにその新しいパケットのためのスペースを割り当てる。リアセンブリ手段は、セルの情報をメモリに記憶させる。以下、本発明を添付図面に示す実施例により詳細に説明する。

【0019】

【実施例】本願で開示、説明するのは、ATMネットワークとイーサネット網のような他の形のネットワークとの間に結合された集信装置を使用する改良されたローカル通信及びリモート通信を行うための方法及び装置である。以下の説明においては、本発明の完全な理解を助けるために具体的な多数の内容が詳細に記載されている。しかしながら、当業者にとって、本発明は、これら特定の詳細な記載がなくても実施可能であるということは明白であろう。また、他の場合においては、発明の開示をより明確にするため、周知の回路、構造及び技術等の詳細な記載は省略してある。

【0020】実施例の概要

本発明は、ネットワーク中の交換機間の相互接続及びサーバや他の共用リソースとの接続には、比較的高速のインタフェースを使用する一方、それ以外の装置に対しては、比較的低速の接続を行うようにしたネットワーク階層を提供せんとするものである。このネットワーク階層によれば、例えば、ネットワーク中のすべての装置間にイーサネット網が走っているようなネットワーク化されたシステムにおいて、既設装置の少なくとも相当部分を現状に保ったまま(例えば、イーサネット網上のある種の装置のアダプタ・カードはそっくりそのまま使用可能である)、何らかのボトルネック・ポイント(例えばファイル・サーバを有する)における帯域幅をアップグレードすることができる。

【0021】本発明の実施例は、多数のイーサネット・ポート及びATMポートをサポートする集信装置と呼ば

れる装置として実施される。各イーサネット・ポートは、もっぱら1つの端末専用として用いられる(すなわち、各ポートに1つのイーサネットMAC(媒体アクセス・コントローラ)アドレスが割り当てられる)。従って、これらの各ポートには、それぞれ専用の10Mbpsの帯域幅が与えられる。ATMポートは、ATM交換機に対してアップリンクになっている。しかしながら、当業者にとっては、他の実施例で、1つのイーサネット・ポートに対して複数のイーサネットMACアドレス(従って複数端末)をサポートすることが可能なことは自明であろう。これは、例えば、集信装置上で使用するキャッシュサイズを大きくして、さらに多くのイーサネットMACアドレスを記憶できるようにすることによって達成することができる。さらに、当業者にとって、本発明の多くの特徴、例えば、ATMネットワークとの通信のためにイーサネット・パケットを分割(セグメンテーション)した後、再び組み立てる(リアセンブルする)機能は、1つのイーサネットと1つのATMポートを有するシステムにおいて使用することができるということは自明であろう。

【0022】集信装置は、好ましくは、多数のイーサネット・ポートからの情報をこれより少ないATMポートに対して多重化する。ポート(イーサネット及びATMの両方)の数は、実施例毎に異なってもよい。しかしながら、例えば、16のイーサネット・ポートを1つの155Mbps ATMポートに対して多重化することも可能である。イーサネット通信及びATM通信のオーバーヘッドを考慮すると、この例のような構成は、速度差に対処するための集信装置内における内部キューイングが少ないことによる利点が得られる。

【0023】集信装置の基本的機能は、イーサネット・ポートに受信されるパケットを分割し、ATMネットワークを通るパケットの経路を探索し、イーサネット・パケットからの情報よりなるセルをATMネットワークへ送り出すことである。また、集信装置は、リアセンブル・モードにおいて、ATMセルからのイーサネット・パケットの組立てを行うとともに、組み立てられたイーサネット・パケットをイーサネット・ポートへ供給する。

【0024】上記のような集信装置によって得られるサービスは、イーサネット・ポートに結合された端末には、交換式イーサネットと同等なように見える。従って、端末のハードウェアやソフトウェアを変える必要がなく、好都合なことには、装置の組込み済みのベースをそのまま使うことができる。ATMネットワーク側から見ると、集信装置はATMインタフェースのマルチプレクサとして働く。その結果、ATMネットワーク経路指定は、1つのATMポートにつき2つ以上のデスティネーション・アドレスを処理しなければならない。これについては、以下にさらに詳細に説明する。

【0025】集信装置は、いくつかの実施例において

は、イーサネット・ポート間のローカル交換を行う場合がある。しかしながら、イーサネット・ポート間のローカル交換は、すべてのパケット（ローカルに設けられた1つのイーサネット・ポートからもう一つのローカルに設けられた1つのイーサネット・ポートへアドレス指定された包入パケット）を分割して、ATMネットワークへ送信する、すなわち、ローカルに設けられた1つのイーサネット・ポートからもう一つのローカルに設けられたイーサネット・ポートへアドレス指定されたパケットが分割され、ATMネットワークに送信された後、交換機を介して集信装置へ送り返され、リアセンブリしてから所望のイーサネット・ポートへ送信される実施例を設けることが可能であるから、必ずしも集信装置の必要機能ではない。

【0026】本発明の実施例で使用するデータ・フォーマットの概要

上に述べたように、本発明の実施例は、ATMネットワークとイーサネット網間に上述のような通信を達成するために、ATMデータ・フォーマット及びイーサネット・データ・フォーマットを両方とも使用する。これらの2つのデータ・フォーマットについてまず簡単に説明しておくことは、本発明を理解する上において役立つであろうと考えられる。

【0027】図2は、ATMネットワークで伝送されるようなセルの基本的フォーマットを示す。このフォーマットは、CCITT勧告 I. 150、「B-ISDN ATMの機能特性 (B-ISDN ATM Functional Characteristics)」

(ジュネーブ、1991年)に準拠する（「CCITT勧告」参照のこと）。ATMセル201は、全体で53オクテット（またはバイト）の長さを有し、ヘッダ202の5オクテットと、情報フィールド203の48オクテットよりなる。ヘッダ202は、ATMネットワークの機能に関する情報を有し、特に重要なのは、1バイトのVPIと2バイトのVCI204によるセルの識別情報である。Handel他の14～17ページを参照のこと。ATMネットワークは、VPI/VCI204を用いてセル201をそのデスティネーションに経路指定する。情報フィールド203はユーザ情報よりなる。図3は、イーサネット網で伝送されるようなパケットのフォーマットを示す。このフォーマットはIEEE802.3（1985年）の規格に準拠している。

【0028】本発明を実施した典型的なネットワークの概要

図4は、本発明において実施することが可能なATMネットワーク403と結合された形の第1及び第2の集信装置402a及び402bを示す。端末401aは、イーサネット・インタフェース404aを有する。同様に、端末401bは、イーサネット・インタフェース404bを有する。集信装置402aは、イーサネット・

インタフェース405a及び405bを有する。インタフェース405a及び405bは、各々10Mbpsイーサネット・ポート専用である。従って図示のように、端末401aのイーサネット・インタフェース404aは、集信装置402aのイーサネット・インタフェース405aと結合され、端末401bのイーサネット・インタフェース404bは、集信装置402aのイーサネット・インタフェース405bと結合される。集信装置402aは、さらに、ATMネットワーク403と結合することが可能なATMインタフェース406を有する。集信装置402bは、インタフェースは示されていないが、402aと同様に、ATMネットワーク403と端末401c及び401dに結合されている。

【0029】一例を説明すると、端末401aから端末401cへデータを送信するためには、端末401aは、イーサネット・インタフェース404a及びイーサネット・インタフェース405aを介して集信装置402aにデータを送る。集信装置402aは、イーサネット・インタフェース405aに受信した情報をATMセルに分割する。集信装置402aは、ATM通信要件に従ってこれらのセルを送信する。これらのセルは、ATMインタフェース406からATMネットワーク403を通過して集信装置402bへ送信される。集信装置402bは、ATMセルをイーサネット・パケットに組み立てる。次に、このパケットは、端末401cへ送信される。

【0030】イーサネットからATMへの伝送の概要

図5は、端末501aによるATMネットワーク509との通信を可能にする装置を示す。（2つのポートしか示されていないが、集信装置502には2つ以上の装置を結合することが可能であり、上に述べたように、本発明の一実施例においては、集信装置に16のイーサネット・ポートを設けることもある。）まず、端末501aは、イーサネット・インタフェース511aから集信装置502のイーサネット・インタフェース503aへイーサネット・パケットを送信し始める。（端末501aは、イーサネット・インタフェース503aと結合された唯一のイーサネット端末である。しかしながら、他の実施例においては、このインタフェースに追加の端末を結合することも可能である。）

【0031】イーサネットインタフェース503aからのデータはFIFOメモリ512aへ送られる。イーサネット・インタフェース503bもデータを受信している場合は、FIFOメモリ512bがイーサネット・インタフェース503bからのデータを記憶し、そのパケットをイーサネット・インタフェース503aからのデータがセグメンテーション回路504を通過した後セグメンテーション回路504へ送る。

【0032】イーサネット・パケット全体がイーサネット・インタフェース503aに受信されると、コントロ

11

ーラ（キャッシュ・コントローラ）506は、出力される仮想チャンネル識別子（VCI）の検索を行う。コントローラは、イーサネット・パケットのデスティネーション・アドレス（図3参照、デスティネーション・アドレス304）を用いてキャッシュ505を検索する。キャッシュ505は、事実上、イーサネット・デスティネーション・アドレスとATM VCIがペアで書き込まれたルックアップ・テーブルとして機能する。キャッシュ505にパケットのデスティネーション・アドレスに対するVCIが書き込まれていれば、そのVCIが手段

10 セグメンテーション回路504に送られる。
 【0033】キャッシュ505にパケットのデスティネーションに対応するVCIがなければ、デフォルトのマルチキャストVCIがセグメンテーション回路504に送られる。このデフォルトのマルチキャストVCIは、正しいデスティネーションがパケットを受信することができるよう、パケットがすべての可能なデスティネーションに確実に送られるように作用する。さらに、キャッシュ・コントローラ506は、パケットのデスティネーションに対応するVCIエントリがキャッシュ505中
 20 にはないということのプロセッサ507に示す。すると、プロセッサ507は、ATMインタフェース508と要求されているデスティネーションとの間の仮想チャンネルのセットアップを要求する。すると、仮想チャンネル識別子がATMネットワークを介して受信され、ルックアップ・テーブルに記憶される。この実施例のシステムにおいては、このセットアップ要求メッセージは、所定のVCIを用いるATMインタフェース508を介して接続マネージャ510へ送られる。接続マネージャ510は、このコールを確認し、そのコールに対する新しい
 30 VCIを集信装置502に送り返す。コントローラ506は、そのデスティネーション・アドレスと新しいVCIからなるエントリをキャッシュ505に書き加える。

【0034】セグメンテーション回路504は、特定のVCI情報またはマルチキャストVCI情報を有するパケットをATMセルに分割する。各セルは、図2に従ってフォーマットされる。次に、各セルは、ATMインタフェース508を介してATMネットワーク509へ送信される。

【0035】ATMからイーサネットへの伝送の概要

40 図6はATMからイーサネットへの伝送用のリアセンブリ回路608を示す。ATMインタフェース605は、ATMネットワーク607からATMセルを受信する。（セルのフォーマットは図2示されている。）リアセンブリ手段603は、セルのVCI中の情報を用いてリアセンブリすべきパケットについてのポートID及びキャッシュ606中のRAMページアドレスを検索する。キャッシュ606は、ルックアップ・テーブルとして機能し、そのエントリは、VCIとデスティネーション・アドレスがペアで書き込んだ形になっている。リアセン

12

リ手段は、デスティネーション・アドレス（パケットの最初のセルに入っている）を用いてイーサネット・インタフェース602aまたは602bのどちらかを介してパケットを送るかを決定する。このセルが部分的にリアセンブリされたパケットの一部の場合、リアセンブリ手段603は、そのセルからのデータを部分的にリアセンブリされたパケット用に割り当てられたメモリ604に記憶する。セルが新しいパケットの始めにある場合は、リアセンブリ手段603は、メモリ604中に新しいパケット用のスペースを割り当てる。

【0036】一旦、リアセンブリ手段603がパケットの情報が完全にリアセンブリされると判断すると、そのパケットは、FIFOを介して適切なイーサネット・インタフェース602aまたは602bに送られ、対応する端末601aまたは601bへ送信される。

【0037】実施例の詳細な説明

図7及び8は、本発明の集信装置の一実施例をブロック図の形で示す。図9はこの実施例のプロトコル・モデルを示す。図10及び11は、イーサネットとATMネットワークの間の通信に使用される方法をフローチャートで示す。図12は、ATMセルからイーサネット・パケットをリアセンブリする方法を示す。図13、14及び15は、本発明の集信装置をさらに詳細に図解したもので、図13は集信装置の詳細なブロック図であり、図14及び15はリアセンブリ手段（回路）の詳細なフローチャートである。

【0038】集信装置701は、端末702a～702pからATMネットワークへ、またATMネットワークから端末702a～702pへの情報の伝送を可能にする。端末702a～702pは、例えば、IBMまたはこれと互換性を有するパーソナルコンピュータあるいはアップルのマッキントッシュ・パーソナルコンピュータのようなコンピュータであるが、1つのイーサネットMACアドレスを表すプリンタやその他の装置であってもよい。インタフェース703a～703p及び705a～705pはいずれも802.3MACレイヤを具現したものである。インタフェース703a～703pは、商品化されている多数のイーサネット・インタフェース・アダプタ・ボードのうち、どれでも使用可能である。

40 同様に、インタフェース705a～705pは、イーサネット網とのインタフェースをとるための周知の技術を用いて実施され、商品化されている多数のイーサネットMACチップの中のいずれでも使用することができる。インタフェース705a～705pは、メモリー体組込み型で実施すること可能であり、例えば、64バイトのメモリーを作り込んだMACチップを利用することができる。

【0039】イーサネット媒体704a～704pは、インタフェース703と705の間の通信のために使用される媒体である。この媒体は、例えば、同軸ケーブル

13

でもよいが、シールドより線ケーブル対、無シールドより線ケーブル対、無線周波、マイクロ波等、多くの通信媒体を利用することができる。設備によっては、この媒体704a~704pは、既設のイーサネット通信媒体を用いることもでき、既設配線を取り換えなくともよい。ため、経費が節減されるという効果がある。

【0040】イーサネット・パケットの分割及びATMネットワークへの送信

まず、イーサネット・インタフェース703a~pの中のいずれかに結合された装置によってイーサネット・パケットが送信され、対応するイーサネット・インタフェース705a~pに受信される(ブロック901)。ここでは、パケットがインタフェース705aに受信されるものと仮定する。しかしながら、他のインタフェース705b~pのいずれにおいても、パケットの受信は705aと同様に行われ、またこれらの他のインタフェース705b~pが同じ構造であるということは容易に理解できよう。

【0041】イーサネット・インタフェース705aは、イーサネット接続の物理的ケーブル配線とのインタフェースをとるための10BaseTインタフェース706(このインタフェースは商品化されている)、イーサネット・パケットのフレーミングのようないくつかの機能のために用いられるMAC(媒体アクセス・コントローラ)チップ707(MACチップも当技術分野においては周知であり、商品化されている)、及びイーサネット・パケットが受信される際のバッファとして機能する(ブロック902)FIFOバッファ708よりなる。FIFOバッファ708は、FIFOコントローラ709の制御下で動作する。

【0042】FIFOバッファ708がイーサネット・パケットの12バイトを受け取ると、その通知がFIFOコントローラ709によってマイクロプロセッサ723へ送られる。次に、マイクロプロセッサ723は、イーサネット・パケットからデスティネーション・アドレス304を与えられ、VCIキャッシュ727を検索して、指定されたデスティネーション・アドレスと通信するためにVCIがセットアップされているかどうかを判断する。

【0043】もちろん、他の実施例においては、12バイトより多いあるいは少ない数のバイトを受け取った後に通知を出す方が望ましい場合もある。上記実施例においては、パケットの12バイトを受け取った後通知を出すことによって、デスティネーション・アドレスをFIFOバッファ708に入れて利用することが可能である、すなわちデスティネーション・アドレスをFIFOバッファ708に受け取って置いて、利用することが可能であるということが見いだされた。

【0044】マイクロプロセッサ723は、インテル8086マイクロプロセッサのような比較的安価で、キャ

14

ッシュ727を制御することができるものであればどのようなマイクロプロセッサでもよい。VCIキャッシュ727は、1024~4096エントリの書き込みが可能なキャッシュ・メモリの形で実施することが望ましい(より大きいキャッシュ・メモリを用いると、コスト増になり、従って、ある実施例では、ちょうど1024エントリ分だけの容量のキャッシュ・メモリを用いることもできるし、さらに大きな性能が求められる他の実施例では、4096エントリに十分なキャッシュ・メモリを用いることも可能である)。各エントリは、16ビットのATM VCIフィールドと、48ビットのイーサネット・デスティネーション・アドレスよりなる。キャッシュ・メモリ制御のための一般的な技術は、当技術分野に周知である。

【0045】次に、デスティネーション・アドレスがキャッシュ727に存在するかどうかを決定するために、キャッシュ727の検索が行われる(ブロック904)。デスティネーション・アドレスがキャッシュ中にあれば、マイクロプロセッサ723は、対応するVCI情報をFIFOコントローラ709を介してATMインタフェース724に供給し、ATMインタフェース724は新しいATMセルを初期化させる(ブロック908)。初期化には、AMヘッダ202のフォーマット情報が含まれる(そして、VCI情報は、フィールド204のヘッダに挿入される(ブロック909))。ATMヘッダ202のフォーマットについては、多くの書物に記載されているので、詳細な説明は省く。

【0046】次に、FIFOコントローラ709がFIFOバッファ708からデータを読み出す。FIFOバッファ708から読み出されたデータがATMインタフェース724に供給されると、インタフェース724はそのデータを情報フィールド203に付加する(ブロック910)。ヘッダ及び48バイトのデータでセルをフォーマットされたセルは、ATM物理層インタフェース714を介してATMネットワークへ送信される(ブロック911)。FIFOバッファ708中にイーサネット・パケットのバイトが残っていれば(ブロック912)、イーサネット・パケットのバイトがすべてATMセルの形でATMネットワークに送出されるまで、上記の送信ステップが繰り返される。

【0047】上に説明したのは、指定されたデスティネーション・アドレスに対してVCIがセットアップされていた場合である。指定されたデスティネーション・アドレスに対してVCIキャッシュ727でヒットがない場合は、マイクロプロセッサ713は、VCIをセットアップする(ブロック905)ためにATMポートを介してATM接続マネージャ510に送られる要求をフォーマットする。これに接続マネージャ510が応答すると、マイクロプロセッサ713は、新しいVCI/デスティネーション・アドレス・エントリをVCIキャッシ

15

ユ727に挿入する(ブロック907)。さらに、ATMインタフェース724は、新しいATMセルをフォーマットし(ブロック915)、ATMセルのVCIフィールド204にブロードキャスト・コードを挿入する(ブロック916)。

【0048】この後、上記のプロセスは、イーサネット・パケットからのデータをFIFOバッファ708から読み出してセルに挿入し(ブロック917)、かつ、それらのセルをATMネットワークに送信しつつ(ブロック918)さらに繰り返される。この場合、ブロードキャスト・コードは毎回セルのVCIフィールド204に挿入される。上に述べたように、このプロセスはパケット中のすべてのデータが送信されるまで繰り返される(ブロック918)。このように、パケット中の情報は、ATMネットワーク上に同報通信(ブロードキャスト)され、従って、所期のデスティネーションとの通信のためにVCIが確定されるまで待つ必要なく、そのデスティネーションに到達する。もちろん、他の実施例においては、VCIが確定されてからATMネットワークへの通信を開始することが望ましい場合もある。

【0049】図10に示すように、VCIによる接続(ブロック905及び907)の確立は、イーサネット・パケットを含むATMセルの同報通信(ブロック915~919)と平行して行うこともできる。ここで、前に受信したパケット(すなわち、それまでVCIが確定されなかったパケット)のデスティネーション・アドレスと同じデスティネーションを有する他のパケットがインタフェース705aに結合された装置(さらには、705a以外のインタフェース705b~pに結合された他の装置)から供給されることも考えられる。しかしながら、これらの他のパケットが供給されるまでには、VCI/デスティネーション・アドレスのペアがキャッシュ727に書き込まれるものと思われ、従って、新しいパケットの処理は、キャッシュ727の検索がヒットしたパケットの場合について説明したようにして(すなわち、ブロック908~912により)続行される。もちろん、VCIがまだ確定されていないければ、ブロック915~918によって説明したように、それらの新しいメッセージを同報通信することも可能である。

【0050】ATMセルからのイーサネット・パケットのリアセンブリ

次に、図11に示すATMネットワークから受信したセルからのパケットのリアセンブリ方法を、本発明の一実施例で使用するリアセンブリ回路を示す図7及び図13のブロック図を参照しつつ説明する。最初にATMセルを受信する方法及びイーサネット・パケットをリアセンブリする方法についてあらまし説明した後、詳細な説明に進む方が理解し易いと考えられる。従って、まず図11を中心に説明する。

【0051】まず、ATMパケットは、集信装置のAT

16

Mインタフェース714に受信される(ブロック1001)。ATMセルが受信されるとき、入ってくるATMセルのVCIを用いて対応するイーサネット・インタフェースのデスティネーション・アドレスが決定される(ブロック1002)。そのパケットが新しいイーサネット・パケットであると(ブロック1003)、その新しいパケットにメモリ・スペースが割当てられる(ブロック1004)。次に、ATMセルからのデータがその割当てられたメモリ・スペースに記憶される(ブロック1005)。そのATMセルが前に送られ始めたパケットに対応する場合は(ブロック1003)、ATMセルからのデータは、既にリアセンブル中のイーサネット・パケットの一部としてメモリ711に記憶される。

【0052】次に、パケットについてすべての情報が受信されたかどうかの判断が行われる(ブロック1006)。この判断は、受信されたATMセルがパケットの最後のセルであるということを指示しているかどうかを判断することによって行われる。パケット全体が受信されていれば、リアセンブルされたパケットは、対応するイーサネット・インタフェース705a~705pを介して送信される(ブロック1007)。パケットが完全にリアセンブリされていない場合は(ブロック1006)、パケットは、対応するイーサネット・インタフェース705a~705pを介して送信されない。集信装置701は、イーサネット・パケットを完全にリアセンブリするのに必要な他のATMセルが受信されるまで待機し続ける。

【0053】図12は、いくつかのイーサネット・パケットを同時にリアセンブル方法を示す。特に、3つのイーサネット・パケットをリアセンブリする場合にが示されている。ストリーム1101は、集信装置のATMインタフェースが受信することが可能なATMセルのストリームを表す。セルは、図示のように左から右へ順に受信される。すなわち、セル1104aはATMインタフェースによって最初に受信され、セル1104iは最後に受信される。セルは、分解された3つのイーサネット・パケットからの情報を含んでいる(イーサネット・パケットは、これより前に集信装置によって分割され、ATMネットワークを介して送信される)。以下、これら3つのイーサネット・パケットを、パケットA、B及びCと称する。セル1104a、d、f及びhは、イーサネット・パケットAから分割された情報を含んでいる。セル1104b、g及びiは、イーサネット・パケットBから分割された情報を含み、セル1104c及びeは、パケットCから分割された情報を含んでいる。これらの各セル1104a~1104iは、図2に示すようにフォーマットされたATMセルを表し、従って、これらの各セル1104は、VCI情報1103を有するヘッダ領域及びデータ領域よりなる。ある特定パケットにおけるセルの各集合の最初のセルのデータ領域は、イーサネ

17

ット・パケット301の48ビットのイーサネット・デスティネーション・アドレス304及びイーサネット・パケット301からのその他の情報よりなる(すなわち、デスティネーション・アドレスは、セル1104a、1104b及び1104cに含まれているが、ここで説明する本発明の実施例においては、他のセルにデスティネーション・アドレスを入れる必要はない)。もちろん、他の実施例においては、デスティネーション・アドレスを各セルに入れて送信することも可能である。

【0054】セル1104a~cを受信すると、リアセンブリ手段603は、図11を参照して説明したように、また以下にさらに詳細に説明するように、これらの新しいパケットのためにメモリ1105のスペースを割り当てる。そして、これらのパケットからの情報はメモリ1105に記憶される。情報は連続して記憶されるように図示してあるが、当技術分野では周知のように、部分的にリアセンブルされたパケットは他の方法を用いて記憶することも可能である。以下の説明から理解できるように、メモリ1105は、ここで説明する実施例においてはリアセンブリRAM762に相当する。

【0055】種々のATMセルからの情報のリアセンブリ及びイーサネット・パケットの終りの検出後、イーサネットのプリアンプル302及びフレーム・デリミッタ情報303のスタートが対応するイーサネットインタフェース705a~pのMACチップ(例えば、MACチップ707)によって加えられ、完全な形にリアセンブルされたイーサネット・パケットが、インタフェース705a~pに接続された様々な装置の中の対応する1つへ送信される。

【0056】リアセンブリ回路の詳細な説明

図13は、ここで説明する実施例のリアセンブリ回路をさらに詳細に示したものである。以下、この図を図7、図8と共に参照しつつ詳細に説明する。図示のリアセンブリ回路は、アドレス/データ回路1221、ページRAM1201、タグRAM1202、リアセンブリRAMコントローラ761、DMAコントローラ1204、リアセンブリRAM762、長さRAM1203、完了シーケンス・リアセンブリ・パケット(CSRP)FIFO1209、ポートID RAM1206及びポート・デコーダ1207よりなる。次に、これらの各構成部分の機能及び相互関係についてさらに詳細に説明する。

【0057】(1)アドレス/データ及び回路1221
このアドレス/データ回路1221は、入って来るATMセルを受け取り、それらのATMセルからATMヘッダ情報を「ストリップする(取り除く)」よう結合されている。この回路1221は、ヘッダ情報をストリップした後、ATMセルからのデータをライン1252を介してリアセンブリRAM762へデータ入力として供給するよう結合されている。さらに、回路1221は、データのイーサネット・パケットへのリアセンブリ時に、

18

入って来るデータを記憶するためのRAM762のアドレス指定を行うことができるよう、「下位」のアドレス情報をライン1251を介してリアセンブリRAM762に供給するよう結合されている。この下位アドレス情報は、回路1221によってリアセンブリRAM762に供給されるデータバイトをカウントし、その各バイト毎に下位アドレス情報をインクリメントすることによって得られる。さらに、回路1221は、供給されるセルのヘッダからライン1253を介してページRAM1201へVCI情報を供給するよう結合されている。以下にさらに詳細に説明するように、ページRAM1201は、VCI情報によってアドレス指定され、出力としてリアセンブリRAM762をアドレス指定するための「高位」のアドレス情報を供給する。

【0058】(2)リアセンブリRAMコントローラ761

このリアセンブリRAMコントローラ761は、リアセンブリ回路の総合的調整及び制御機能を遂行する。コントローラ761は、ライン1254を介してページRAM1201を、ライン1257を介して長さRAM1203を、及びライン1255を介してタグRAM1202を制御するよう結合されている。さらに、このコントローラは、DMAコントローラ1204が(ライン1259を介して)制御を要求することができるよう、また逆にDMAコントローラに許可/肯定応答を(ライン1258を介して)DMAコントローラ1204に供給することができるようDMAコントローラ1204と結合されている。また、コントローラ761は、ライン1262を介してアドレス/データ回路1221からの要求を受けるとともに、ライン1261を介して許可/肯定応答を供給するよう結合されている。さらに、コントローラ761は、ライン1263を介して回路1221から最初/最後インディケータを受け取るよう結合されている。最初/最後インディケータは、コントローラ761に対して、ATMセルがリアセンブルするイーサネット・パケットよりなる一連のセルの最初のセルであると指示されているか、最後のセルであると指示されているかを指示する。コントローラ761は、この情報を利用して、最初のセルの場合は、リアセンブリのためにリアセンブリRAM762中に記憶スペースを割り当てさせ、最後のセルの場合は、リアセンブリRAM762からデータを読み出させて、イーサネット・パケットとしてのフォーマッティング及び対応するイーサネット・インタフェース705a~pへの送信を行わせる。

【0059】(3)DMAコントローラ1204

このDMAコントローラ1204は、ライン1261を介して許可/肯定応答情報を受け、ライン1263を介して最初/最後インディケータ情報を受け取るよう結合されている。さらに、DMAコントローラ1204は、FIFO1209を制御するよう結合され、またデータ

19

ライン1252に結合されている。

【0060】(4) リアセンブリRAM762

このリアセンブリRAM762は、ATMネットワークから受信される種々のセルからのデータを記憶する。リアセンブリRAM762は、アドレス/データ及び回路1221を介し、さらにライン1252を介して供給されるATMセルからのデータを受信し、イーサネット・パケットにリアセンブリするよう結合されている。ここで説明する実施例においては、イーサネット・フレーム情報（例えばデスティネーション・アドレス（DA）、ソース・アドレス（SA）、長さ及びINFOフィールド）はリアセンブリRAM762に記憶される。この実施例のシステムにおいては、リアセンブリRAM762は、1M×8ビットRAMであり、商品化されているRAMデバイスの中の任意のものをを用いることができる。このメモリは、各アクティブVCIに対して1ページずつ4Kバイトのページに論理的に編成されている。これらの4Kバイトの各ページは、2Kバイトのブロックに分割される。これについては、以下にさらに詳細に説明する。

【0061】(5) ページRAM1201

ページRAM1201は、リアセンブリRAM762を*

表1

アドレス・ビット
1~10

11

12~19

発生源

回路1221により供給される「下位」
アドレス・ビット

タグRAM1202 / コントローラ761

ページRAM1201 により供給される

「高位」アドレス・ビット

【0064】従って、容易に理解できるように、ページRAM1201により供給されるページ・アドレス情報を用いてリアセンブリRAM762中の4Kバイトのページが選択される。タグRAM1202からのタグ情報を用いて、これらのページ中の2Kバイトのブロックが選択される。そして、これらのブロック中の個々のワードが、回路1221より供給される下位アドレス情報に

表2

ビット	プロ	プロ	状態	動作
	ック0	ック1		
000	空	空	両方共空	データ→ブロック0
001	空	空	B1空、 B1ビジー	データ→ブロック0
010	空	満	B1空、 B0満	データ→ブロック1
011	空	満	B1ビジー、 B0満	データ→ブロック1
100	満	空	B1満、 B0空	データ→ブロック0
101	満	空	B1満、 B0ビジー	データ→ブロック0
110	満	満	B1満、 B0満	バッファ利用不可能
111	---	---	-----	イリーガル状態

20

*アドレス指定するための「高位」アドレス・ビットを供給する。ページRAM1201は、回路1221によりライン1253を介して供給されるVCI情報によってアドレス指定されるよう結合されている。ページRAM1201は、各VCIに対応するリアセンブリRAM762内の2Kブロックをアドレス指定するための高位アドレス情報をロードされる。このように、ページRAM1201は、特定のVCI値によってアドレス指定されると、リアセンブリRAM762をアドレス指定するための対応する高位アドレスを供給する。さらに、このアドレス指定情報は、タグRAM1202及びポートID RAM1206をアドレス指定するためにも使用される。

【0062】(6) タグRAM1202

タグRAM1202は、ページRAM1201のデータ出力によってアドレス指定されると、これにตอบสนองして、リアセンブリRAM762をアドレス指定するための他のアドレス指定情報を供給する。リアセンブリRAM762をアドレス指定するために使用される全部で19ビットのアドレスの各構成部分の発生源を表1にまとめて示してある。

【0063】

よって選択される。ここで、タグRAM1202の内容について簡単に説明しておく。タグRAM1202は1K×4ビットRAMである。ここで説明する実施例においては、タグRAM1202のビット0、1及び2のみが用いられ、ビット3は指定されない。表2に、タグRAM1202のエントリの内容をまとめて示してある。

【0065】

21

【0066】このように、ライン1256を介してのタグRAM1202からのデータの読出し、及びタグRAM1202へのデータの書き込みに基づいて、コントローラ761は、RAM762中のブロックの現在の状態を更新し、決定することができる。コントローラ761は、選択されたページのブロックの現在状態を読み取って、アセンブリRAMアドレス762のビット11をライン1265を介して供給する。ビット11は、ブロック0を選択する動作を示す表2のビット0~2の組合わせに対しては0（ブロック0を示す）にセットされ、ブロック1を選択する動作を示す組合わせに対しては1にセットされる。利用可能なバッファがない場合、コントローラ761は、ライン1261を介して信号を送ることによって、回路1221によるRAM762への書き込みのためのアクセス許可を制御する。

【0067】(7) 長さRAM1203

長さRAM1203は、回路1221が、イーサネット・パケットのデータのRAM762への書き込みが終了したときイーサネット・パケットの長さを記憶させることができるようにするためのものである。長さRAM1203は、1K×12ビットRAMであり、ライン1253を介して供給されるVCI、及びライン1265を介して供給されるブロック・インディケータ・ビット（すなわちビット11）によってアドレス指定される。前に述べたように、長さRAM1203は、コントローラ761の制御下においてアドレス指定される。イーサネット・パケットのデータがリアセンブリRAM762から読み出されるとき、長さ情報は、読み出されるデータのバイト数を適切に制御することができるようにDMAコントローラ1204によってアクセスされる。このように、長さRAMは、ライン1266を介してDMAコントローラ1204に長さデータを供給するように結合されている。

【0068】(8) CRSP1209

パケットのリアセンブリが終了すると、CSRPFIFO1209へのエントリが行われる。エントリの内容は、長さRAM1203、リアセンブリRAM762及びポートID RAM1206のアドレス指定を可能にするVCI/ブロック・インディケータ情報よりなる。DMAコントローラ1204は、ライン1267を介してFIFO1209への書き込み及びそこから読出しを制御する。このように、DMAコントローラ1204は、パケット・リアセンブリが終了する際FIFO1209への情報の書き込みを可能にするとともに、インタフェース705a~pを介しての先入れ先出し順によるリアセンブリ及び送信のために、リアセンブリ後のパケットの「高位」アドレス情報を読み出す。

【0069】(9) ポートID RAM1206

ポートID RAM1206は、リアセンブリ中の各パケットに対応する適切なインタフェース705a~pを

22

アドレス指定するためのポート（インタフェース）アドレス情報を含む1K×4ビットRAMである。ポートID RAM1206は、ライン1268を介してVCI/ブロックインディケータ情報によりアドレス指定される。ポートID RAM1206のデータ出力は、ライン1269を介してポート・デコーダ1207に供給される。すると、ポート・デコーダ1207は、リアセンブルされたパケットの読出し時に、ポート識別情報をイーサネットの最後のFIFOコントローラ762に供給する。リアセンブルされたパケットのデータは、データバス1266（図7ではバス745で示されている）を介してインタフェース705a~pのMACチップ（例えば、MACチップ707）へ供給される。

【0070】リアセンブリ回路の動作

以上、リアセンブリ回路の構成及び構成要素間の相互関係を説明したが、次にこの回路の動作を説明する。この回路の動作は、図14及び15に詳細に示されており、図14には、リアセンブリ動作の全体的なフローチャートが、図15にはリアセンブルされたイーサネット・パケットのイーサネット・ポートへの転送動作の全体的なフローチャートがそれぞれ示されている。

【0071】図14において、システムはタグRAM1202のすべてのエントリのビット0~2を000にセットすることによって初期化される（ブロック1301）。次に、リアセンブリ回路は、コールが開始されるまで待機する（ブロック1302）（コールの初期化は、接続マネージャ510からの新しいコール情報の受信によって指示される）。コールが初期化されるとき、マイクロプロセッサ713は、ATMセルによって表されるイーサネット・パケットをリアセンブルために使用されるリアセンブリRAM762中のページを示すページ・エントリの書き込みを制御する。プロセッサ713は、ポートID RAM1206へのエントリの書き込みを制御して、コールのセットアップ時にVCIに対応するイーサネット・インタフェース705a~pを指示する。

【0072】本発明の特徴の1つとして、一旦コールがセットアップされると、そのコールを指示するVCIに対してATMセルから複数のイーサネット・パケットがリアセンブルされる場合があるということも注目し得よう。さらに、本願の説明をさらに検討すると、VCIが独立して使用される場合は、コールのセットアップとイーサネット・パケットのリアセンブリは互いに平行して行うことも可能であるということは理解できよう。

【0073】センブリRAM762をアドレス指定するための「高位」アドレス・ビットが得られる（ブロック1303）。これらの高位アドレス・ビットは、タグRAM1202をアドレス指定して指定されたページについてのブロック選択ビットを得るために用いられ、この情報はコントローラ761に供給される（ブロック1304）。次に、コントローラ761は、「高位」アドレ

23

ス・ビットと共にページ及びブロック・アドレスをリアセンブリRAM762に供給するために用いられる適切なブロック・アドレス指定ビットをライン1265を介して供給する。

【0074】次に、コントローラ761は、回路1221にデータバス1252へのアクセスを許可する（ブロック1305）。回路1221は、既にATMセルを受信してATMヘッダを解析（パース）している（ページRAMをアドレス指定するために上で用いたVCIを得るために）。すると、回路1221は、データバス1252を介してデータを供給し、ライン1251を介して「下位」アドレス情報を供給することによって、ATMセルからのデータをリアセンブリRAM762に書き込む。下位アドレス情報は、回路1221によって、リアセンブリRAM762に供給される情報のバイトをカウントし、その計数値を「下位」アドレスとして用いることにより計算される。この計数値は、リアセンブリRAM762で1ブロックが満たされるとリセットされる（すなわち、ここで説明する2Kのブロック・サイズを用いた実施例の場合、カウンタは0から2047までカウントすることができ、フルカウントに達するとリセットされる）。セルが、リアセンブルされる一連のセル（ライン1263上に生じる）の最後のセルであることを指示すると（ブロック1306）、その計数値は長さRAM1203に書き込まれ、そのイーサネット・パケットのデータが完全に受信され、リアセンブルされたことを示すエントリがCSRPFIFO1209に書き込まれる。さらに、タグRAM1202は、ブロックが一杯であり、データはこのVCI用の他のブロックへ書き込むべきであるということを表すよう更新される。

【0075】ATMセルが、イーサネット・パケット・シーケンスの最後のセルであることが指示されていない場合は、システムは同じVCIからさらにセルが受信されるまで待機する（ブロック1312）。受信した他のVCIに対して他のATMセルがあるかもしれないが、その場合は、それらの他のセルについてブロック1302による処理が続行される。一旦、もう一つのATMセルが受信されると、再びブロック1303からプロセスが開始されて、そのVCIの高位アドレス・ビットを得、ブロック選択ビットを得（ブロック1304）、リアセンブリRAMに書き込むためのアクセスを許可し（ブロック1305）、そのセルが最後のセルかどうかを決定する（ブロック1306）動作が行われる。

【0076】VCIに対して割り当てられたページのブロック0が一杯になった後（そのブロックをイーサネット・インタフェースへ送信する前）は、パケットの最後のセルであることの指示を受けることなく同じVCIに対して受信される後続のセルは廃棄される。この動作は、タグRAM1202中のVCIについて記憶されたデータからリアセンブリRAM762におけるページの

24

ブロックの現在状態（例えば、空、ビジー、満杯）の情報を得るコントローラ761の制御下において行われる。

【0077】オーバフローがなければ、最終的には、リアセンブルされるイーサネット・パケットのすべてのデータが受信されて、ブロック1307に示すように、リアセンブリは終了する。前に説明したように、イーサネット・パケットのリアセンブリが終了すると、CSRPFIFO1209にエントリが書き込まれる。DMAコントローラ1204は、CSRPFIFO1209におけるエントリの状態を監視する（ブロック1341）。FIFO1209中にエントリがあると、DMAコントローラは、FIFO1209の最初のエントリを読み出させ（ブロック1342）、FIFO1209に記憶されたVCI/ブロック・コード情報を用いてリアセンブリRAM762、長さRAM1203及びポートID RAM1206をアドレス指定する。このようにして、リアセンブルされたパケットの長さまたはバイト数が長さRAM1203から得られる（ブロック1343）。次に、DMAコントローラ1204は、長さRAM1203に指定された長さだけリアセンブリRAM762からデータを読み出させ、（ブロック1344）、そのデータは、ポートID RAM1206によって指定されたイーサネット・ポートへ送信される（ブロック）。

【0078】他の実施例

当業者であれば、本発明の範囲を逸脱することなく上記以外の多数の実施例が可能なことは明白であり、本発明は、特許請求の範囲の記載によってのみ限定されるものである。例えば、本発明の一部の実施形態は、例えば他の搬送波検知システムあるいはトークン・リングのような非搬送波検知システムなど、イーサネット以外のデータ伝送システムにも適用可能である。

【0079】

【発明の効果】以上詳細に説明したように、本発明のによれば、イーサネット・インタフェースを有する装置と非同期伝送モード（ATM）ネットワークに作用的に結合されたもう一つの装置との間で通信する方法及び装置が得られる。

【図面の簡単な説明】

【図1】典型的なATMネットワーク構成の一例を示すブロック図である。

【図2】ATMセルのフォーマットを示す説明図である。

【図3】イーサネット・パケットのフォーマットを示す説明図である。

【図4】端末、第1の集信装置、ATMネットワーク及び第2の集信装置を含む本発明により実施可能なネットワークの一例の構成を示すブロック図である。

【図5】1つのホスト・ネットワークからATMネット

ワークヘデータを伝送するのに使用されるセグメンテーション回路を一例の構成を示すブロック図である。

【図6】ATMネットワークからのデータを受信し、それらのデータを適切な1つのホスト・ネットワークへ送信するのに使用されるリアセンブリ手段の一例の構成を示すブロック図である。

【図7】本発明で使用する事が可能なイーサネット/ATM集信装置の一実施例の部分を示すブロック図である。

【図8】図7の実施例の残りの部分を示すブロック図である。

【図9】本発明で使用する事が可能な集信装置のプロトコル・モデルの一例を示す説明図である。

【図10】本発明で使用する事が可能なイーサネット・パケット・セグメンテーション方法の一例のフローチャートである。

【図11】本発明で使用する事が可能なイーサネット・パケット・リアセンブリ方法の一例のフローチャート

である。

【図12】本発明で使用する事が可能なATMセルからのイーサネット・パケットの組立て方法の一例の説明図である。

【図13】本発明で使用する事が可能なイーサネット・パケット・リアセンブリ回路の一例の構成を示すブロック図である。

【図14】本発明のリアセンブリ回路を動作させる方法の部分を示すフローチャートである。

【図15】図14の残りの部分を示すフローチャートである。

【符号の説明】

401a, 401b, 401c, 401d 端末

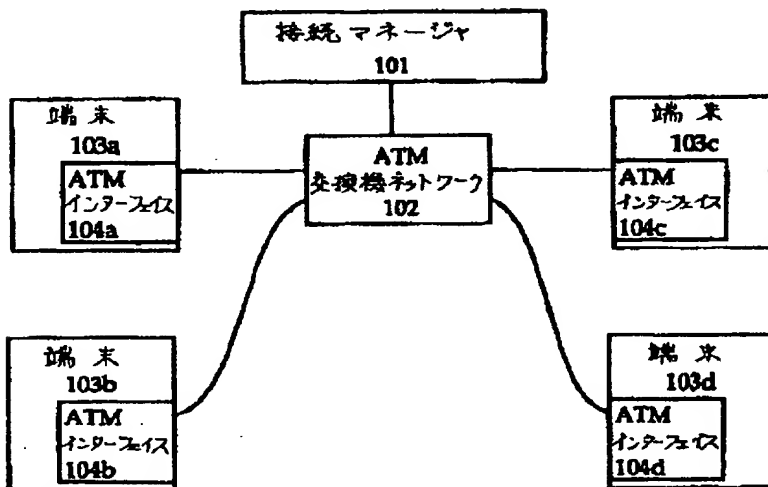
402a, 402b 集信装置

403 ATMネットワーク

404a, 404b, 405a, 405b イーサネット・インタフェース

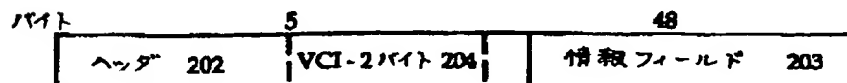
406 ATMインタフェース

【図1】

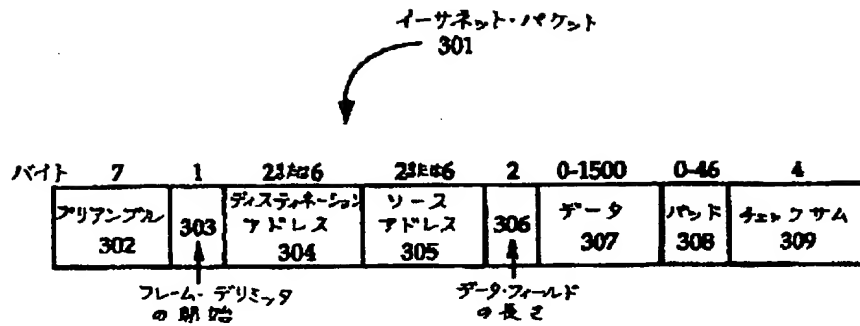


【図2】

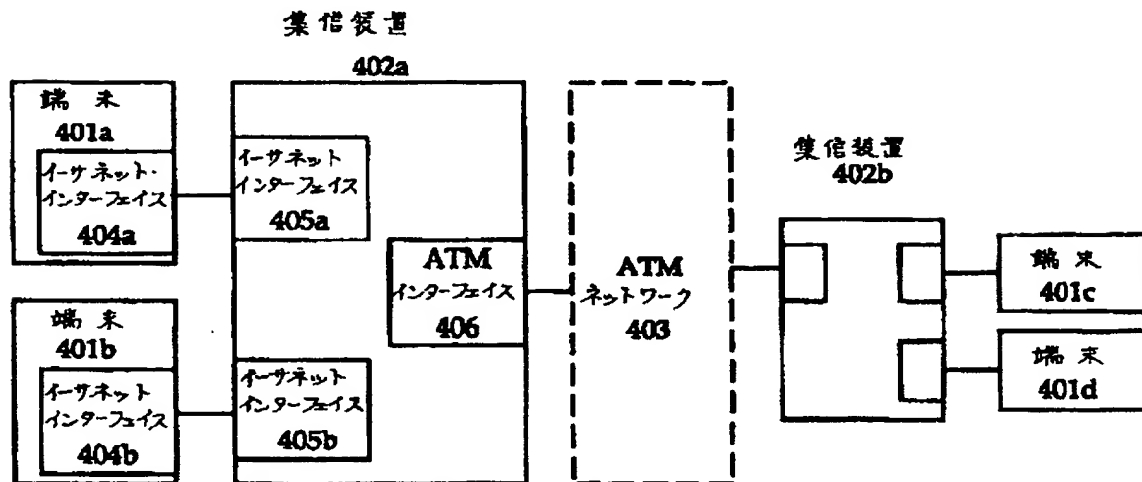
ATMセル 201



【図3】

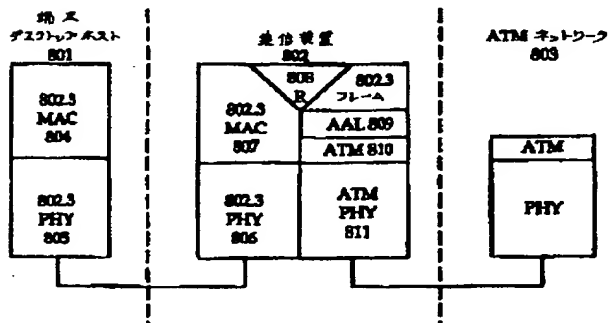


【図4】

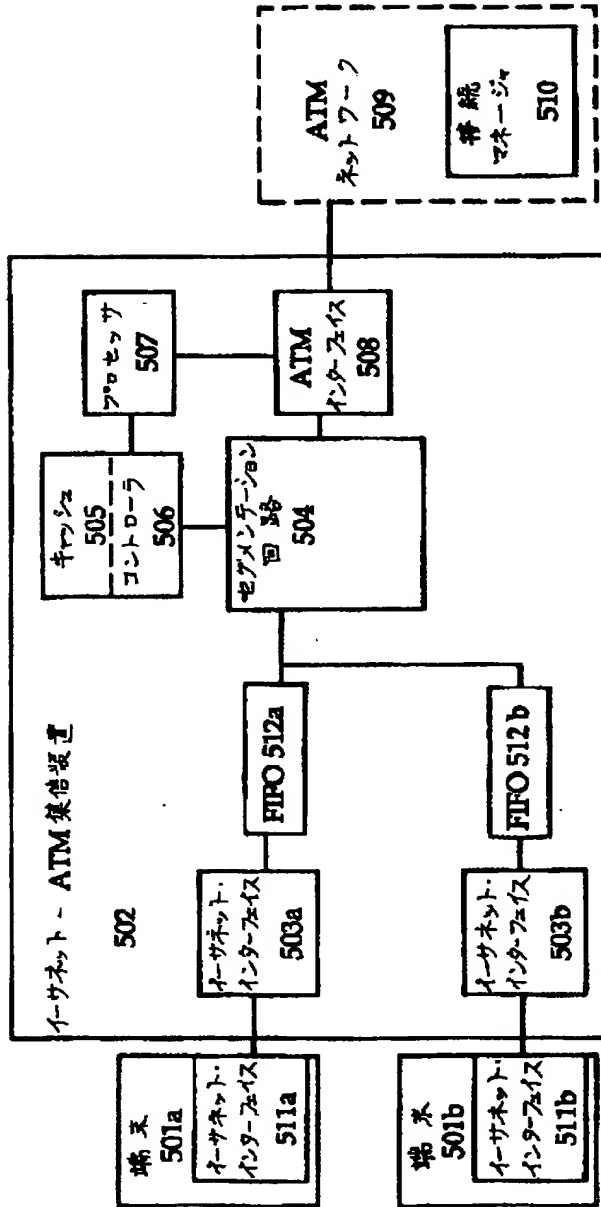


【図9】

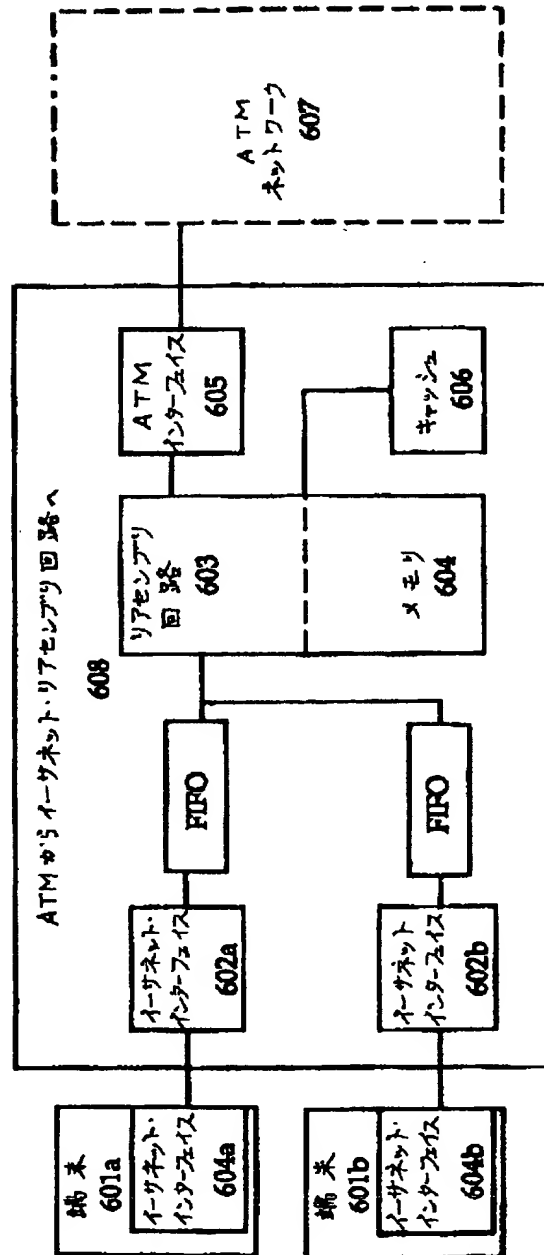
イーサネット集信装置プロトコル



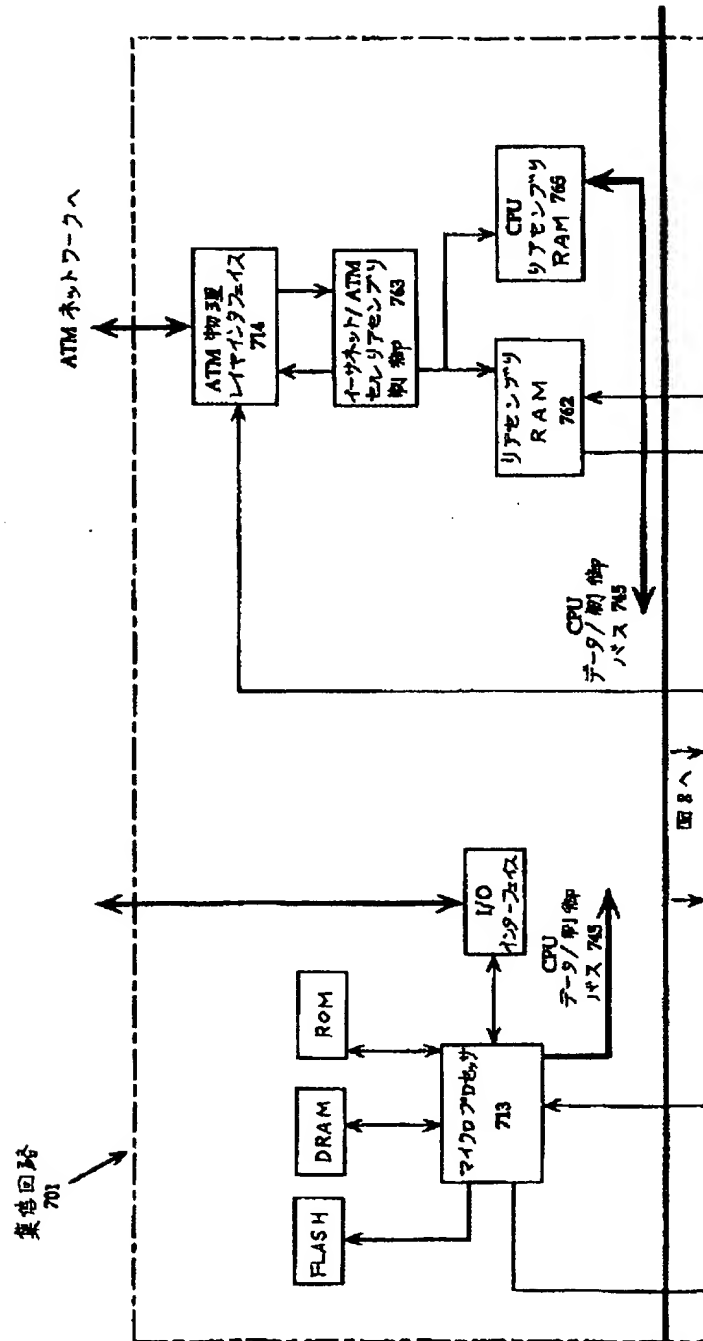
【図5】



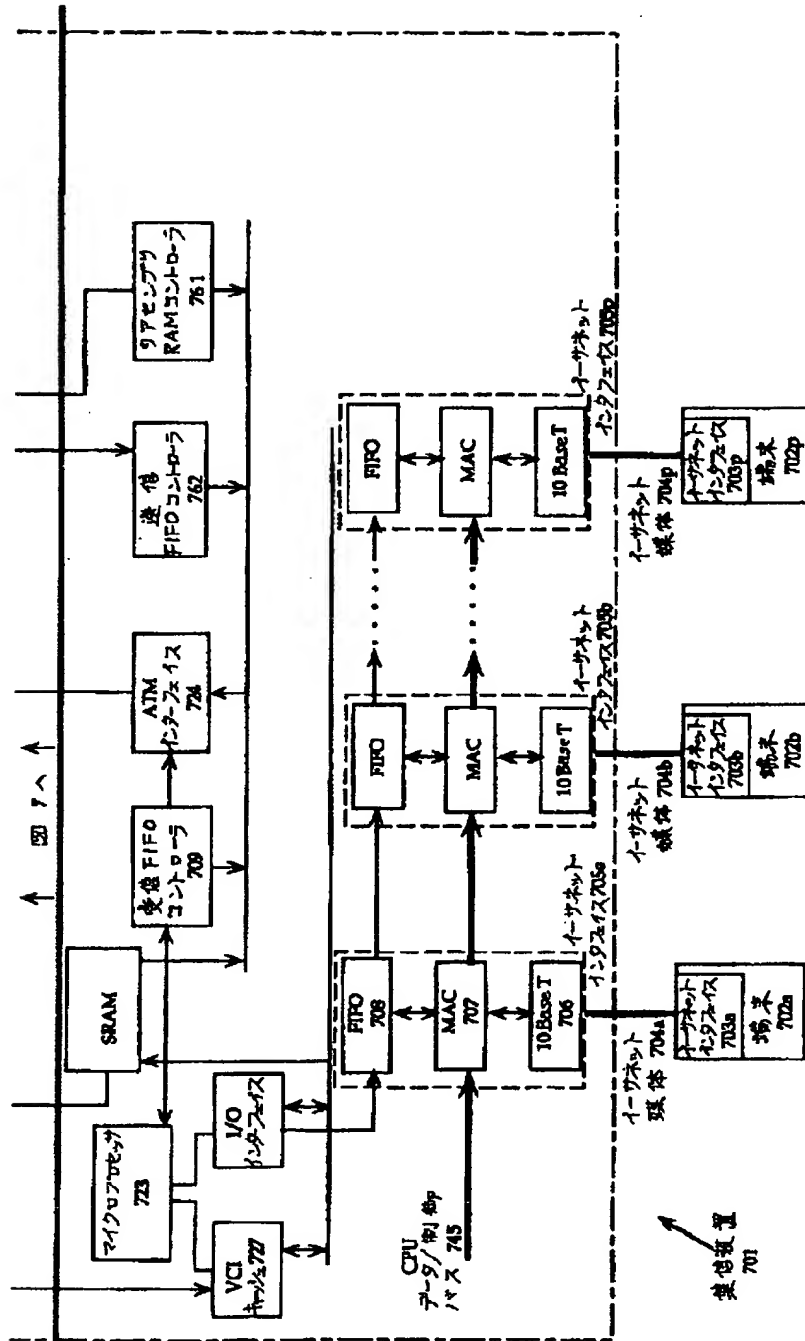
【図6】



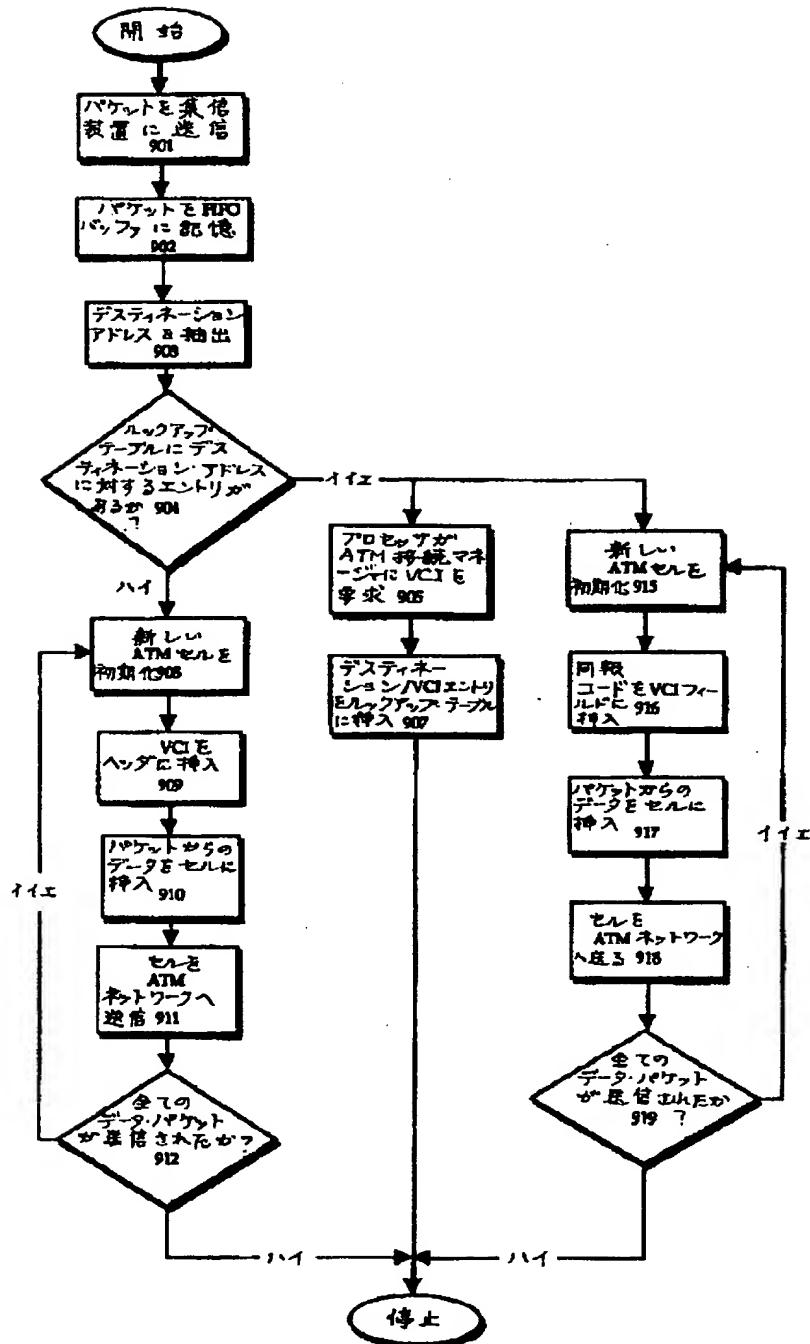
【図7】



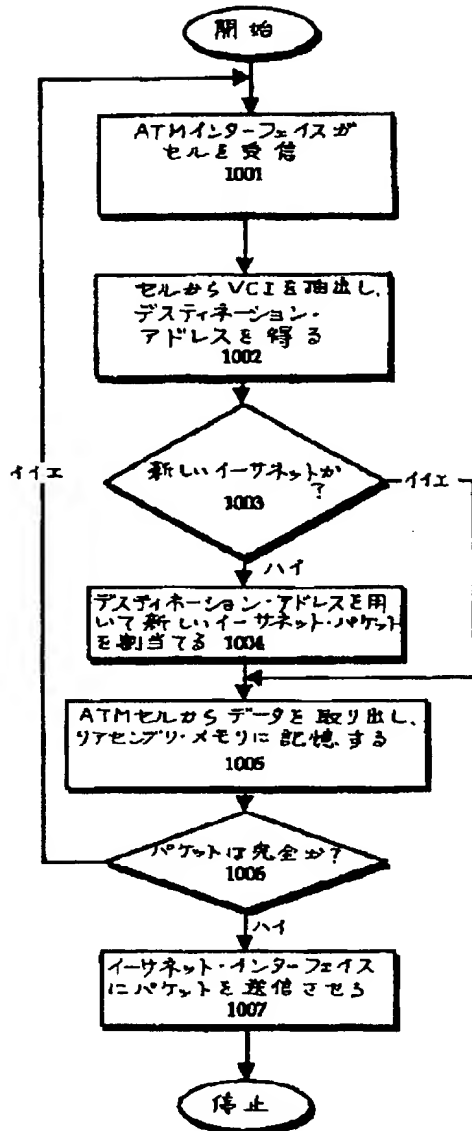
【図8】



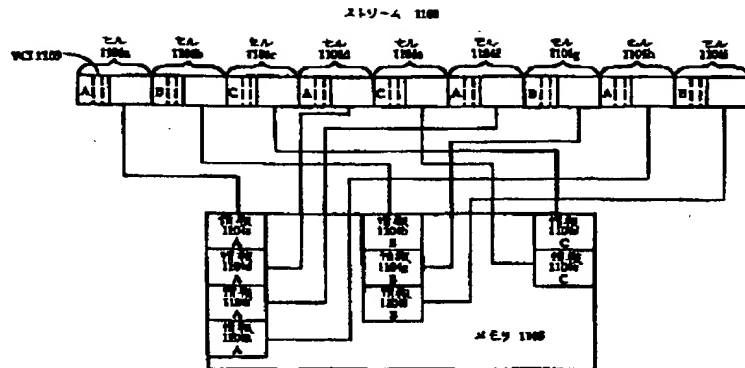
【図10】



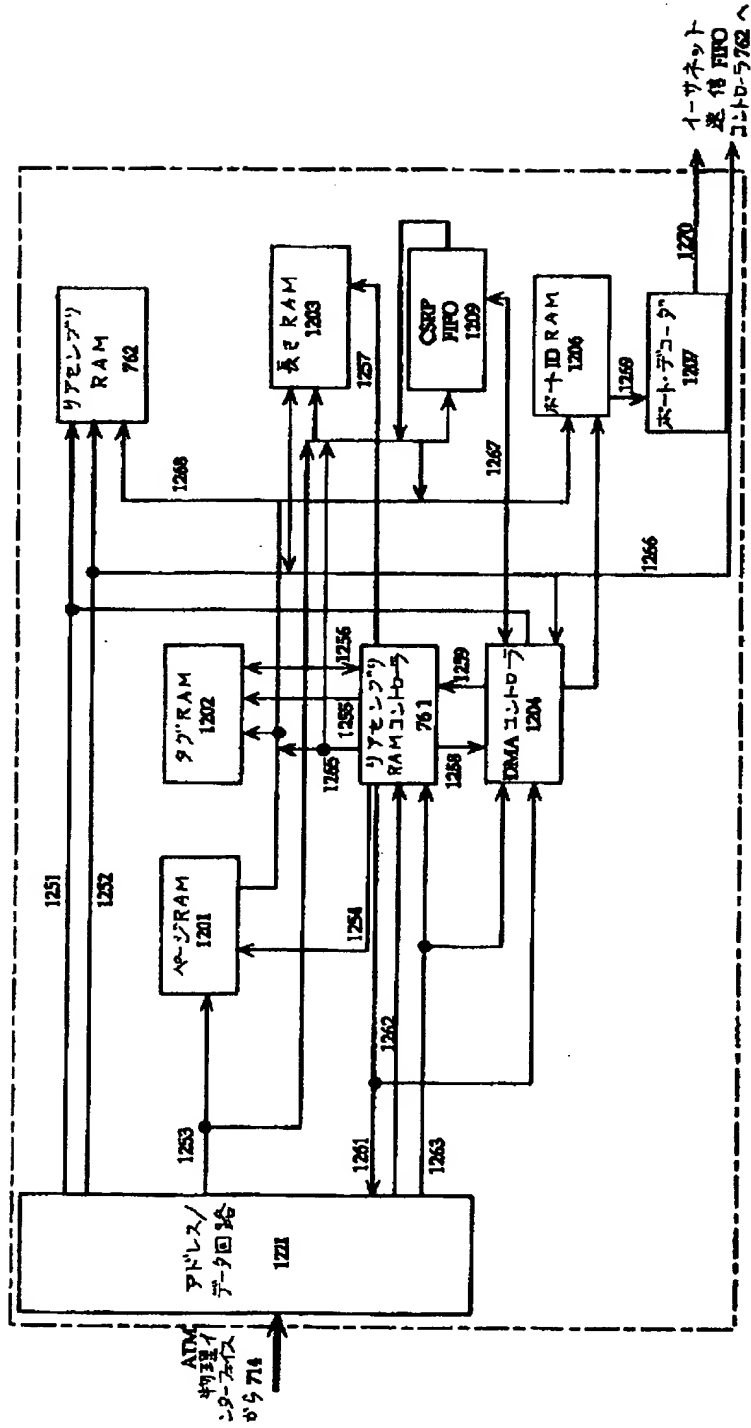
【図11】



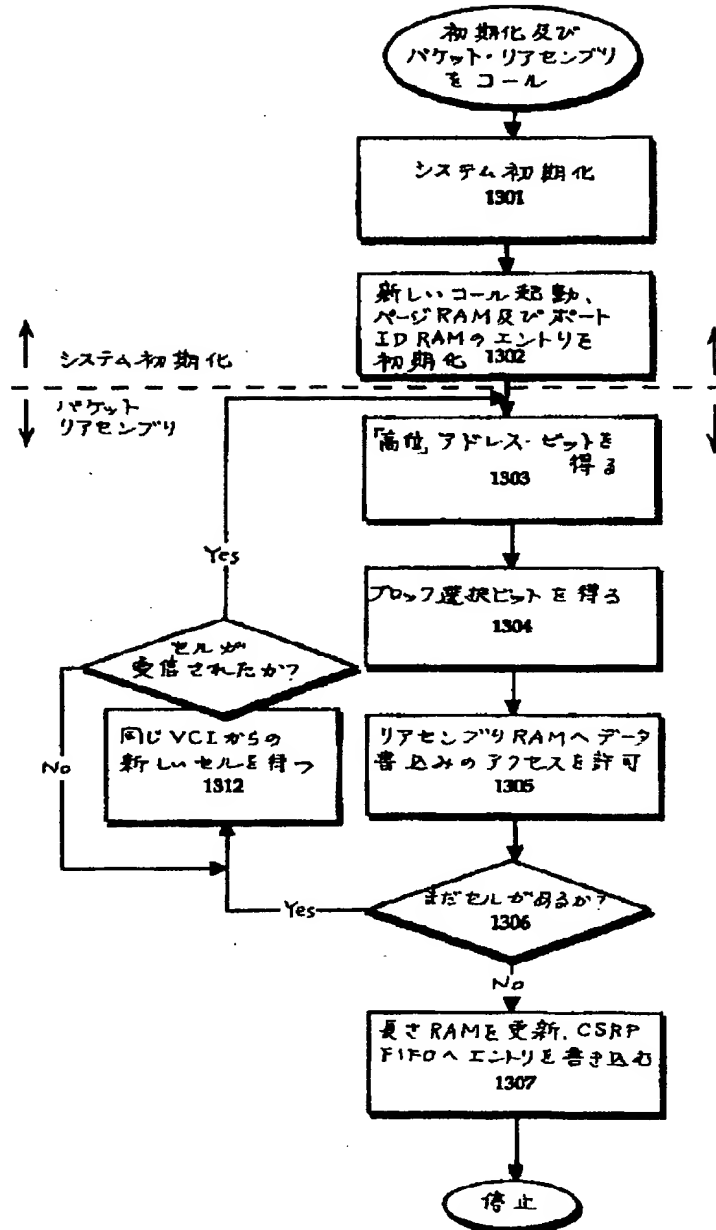
【図12】



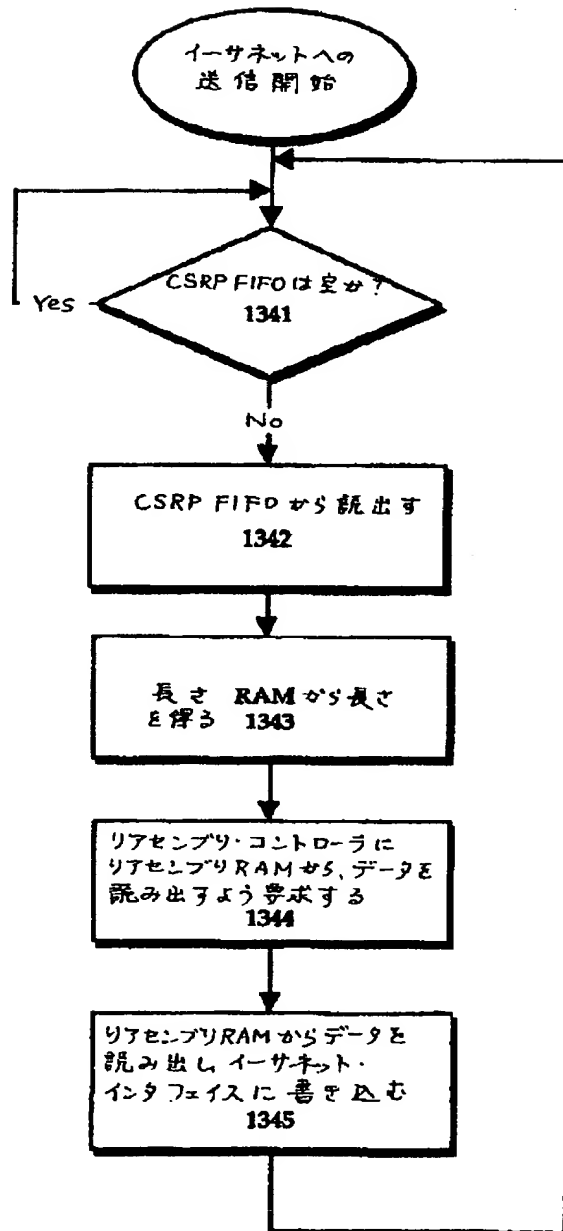
【図19】



【図14】



【図15】



フロントページの続き

(51) Int. Cl. 6

H 0 4 Q 3/00

識別記号

庁内整理番号

F I

技術表示箇所

(24)

特開平7-74782

(72)発明者 ロバート・ニューマン
アメリカ合衆国 95054 カリフォルニア
州・サンタ クララ・ヴィスタ クラブ
サークル ナンバー307・1510

(72)発明者 マイケル・ファム
アメリカ合衆国 95131 カリフォルニア
州・サン ホゼ・オータム ゴールド ド
ライブ・1987